

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-45933

(43) 公開日 平成8年(1996)2月16日

(51) Int. Cl.⁶ 識別記号 庁内整理番号 F I 技術表示箇所
H 0 1 L 21/3205
21/304 3 2 1 S
21/316 M

H 0 1 L 21/ 88 K
T

審査請求 未請求 請求項の数14 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平6-181014

(22) 出願日 平成6年(1994)8月2日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 岸井 貞浩

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 星野 雅孝

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 三沢 信裕

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外1名)

最終頁に続く

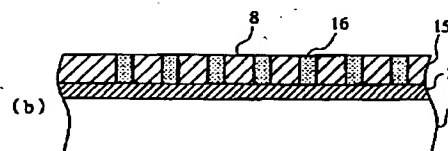
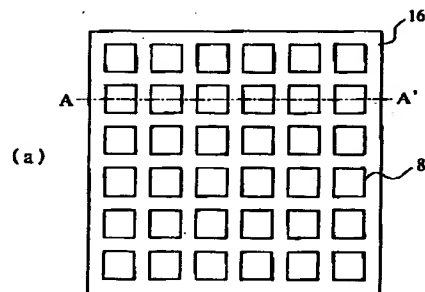
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 半導体装置及びその製造方法に関し、研磨法により導電性膜を溝内に埋め込む際に、埋め込み配線層或いは埋め込みボンディングパッドにおける窪みの発生を防止し、それによって導電性膜の断線を防止する。

【構成】 シリコン半導体基体1上に設けた絶縁膜15に、埋め込み導電性パターン16の内部に非導電性領域8が存在するように前記導電性パターン16に対応する溝を形成し、前記溝を含めた全面に導電性膜を堆積させ、次いで、研磨法により前記溝部以外の前記導電性膜を除去して前記埋め込み導電性パターン16を形成する。

本発明の第1の実施例である
格子状埋め込み型ボンディングパッドの
構造及び製造工程を説明する図



1: シリコン半導体基体
2: 熱酸化膜
8: 非導電性領域

15: TEOS-NSG膜
16: 埋め込みCu層

【特許請求の範囲】

【請求項1】 埋め込み導電性パターンの内部の周囲に層間絶縁膜と同じ高さで且つ同じ材質からなる非導電性領域が存在するように前記導電性パターンを設けたことを特徴とする半導体装置。

【請求項2】 上記導電性パターンがボンディングパッドであることを特徴とする請求項1記載の半導体装置。

【請求項3】 上記導電性パターンが格子状導電性パターンであることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 上記格子状導電性パターンの交点上に上層配線層とコンタクトを取る導電性プラグを設けたことを特徴とする請求項3記載の半導体装置。

【請求項5】 上記格子状導電性パターンの格子の幅が上記導電性プラグの径よりも大きいことを特徴とする請求項4記載の半導体装置。

【請求項6】 上記導電性パターンがCuからなることを特徴とする請求項2乃至5のいずれか1項に記載の半導体装置。

【請求項7】 上記導電性パターンが内部配線層であることを特徴とする請求項1記載の半導体装置。

【請求項8】 上記導電性パターンが梯子状導電性パターンであることを特徴とする請求項7記載の半導体装置。

【請求項9】 半導体基体上に設けた絶縁層に、埋め込み導電性パターンの内部に非導電性領域が存在するように前記導電性パターンに対応する溝を形成し、前記溝を含めた全面に導電性膜を堆積させ、次いで、研磨法により前記溝部以外の領域の前記導電性膜を除去して前記埋め込み導電性パターンを形成することを特徴とする半導体装置の製造方法。

【請求項10】 上記導電性パターンがボンディングパッドであることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】 上記導電性パターンがCuからなることを特徴とする請求項10記載の半導体装置の製造方法。

【請求項12】 上記導電性パターンが内部配線層であることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項13】 上記導電性パターンが格子状導電性パターンであることを特徴とする請求項9乃至12のいずれか1項に記載の半導体装置の製造方法。

【請求項14】 上記導電性パターンが梯子状導電性パターンであることを特徴とする請求項12記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置及びその製造方法に関するものであり、特に、研磨法により埋め込

だ内部配線層或いはボンディングパッドを有する半導体装置とその製造方法に関するものである。

【0002】

【従来の技術】 従来、内部配線層或いはボンディングパッドを形成する場合には、半導体基体或いはその上の絶縁膜上にW、Al、或いは、アルミニウム合金（Al-Cu-Ti、Al-Cu-Si等）を堆積させたのち、フォトリソグラフィ工程によってパターニングして形成していた。

10 【0003】 図5は従来のMOSFETの製造工程における配線層のパターニング工程を示すもので、W（タングステン）配線層11によってソース・ドレイン領域13及び第1の配線層14とのコンタクト（接続）をコンタクトホール12を介して取る際に、Wのエッチング速度と半導体基体1であるSiのエッチング速度との比を十分に大きくとれないため、W配線層11のパターニングの際にSiもエッチングしていまい、ソース・ドレイン領域13等の動作領域を破壊してしまうことがあった。

20 【0004】 また、配線層をAl又はアルミニウム合金を用いて形成する場合には、Al或いはアルミニウム合金の光反射率が高いので、パターニング工程における露光時に不所望な反射が生じ微細加工が困難であった。さらに、Cu（銅）は、Al或いはアルミニウム合金よりも抵抗率が低く、且つ、耐エレクトロマイグレーション（electromigration）性が良好であるので、将来の配線材料としては有望なものであるが、現在においてはCuに対する適当なエッチングガスが存在しないので、従来のフォトリソグラフィ工程によるパターニングは実質上不可能であった。

30 【0005】 最近、これらの問題点を解決するために、研磨法による埋め込み配線層の形成が提案されている。図6は、この研磨法による配線層の形成工程を説明する図である。

【0006】 図6（a）参照

（1） 先ず、シリコン半導体基体1上にSiO₂等の絶縁膜3を形成する。

図6（b）参照

40 （2） 次いで、通常のフォトリソグラフィ工程によって配線に相当する領域を溝4として絶縁膜3に形成する。

【0007】 図6（c）参照

（3） 次いで、全面にW、Al、或いは、アルミニウム合金等の導電性膜5を堆積させる。

図6（d）参照

（4） 最後に、研磨することにより溝4内以外の導電性膜5を除去することにより、溝4内に埋め込まれた埋め込み導電性パターン6を形成する。

【0008】 この様な研磨法を用いた場合には、エッチングするのはSiO₂等の絶縁膜であるため、SiO₂

等の絶縁膜のエッチング速度とSiのエッチング速度との比を充分大きくとることができるので、エッチングの際にソース・ドレイン領域等の動作領域を破壊することがなく、信頼性の高い半導体装置を製造することができる。

【0009】また、 SiO_2 等の絶縁膜3はAl等の金属に比べて反射率が小さいので、露光の際に不所望な反射が生じないので微細加工が可能になり、さらに、特別のエッチングガスを必要としないため、適当なエッチングガスの存在しないCuを配線材料或いはボンディングパッド材料として用いることも可能になる。

【0010】

【発明が解決しようとする課題】しかし、図7に示すようにこの様な研磨法を用いて埋め込み導電性パターン6を形成した場合、図7(a)に示すように溝が細い場合には問題がないものの、図7(b)に示すように、太い配線層やボンディングパッドのように金属領域の面積が広いところでは、配線層或いはボンディングパッドの中央部に窪み(所謂dishing)7が生ずる欠点があり、特に、このディッシング(dishing)は、下地に凹凸がある場合には配線層の断線の原因となる。

【0011】そして、実際の配線層の線幅は、 $0.35\mu\text{m}\sim 100\mu\text{m}$ であり、また、ボンディングパッドの大きさは $50\mu\text{m}\times 50\mu\text{m}\sim 150\mu\text{m}\times 150\mu\text{m}$ であり、線幅が $1\mu\text{m}$ 以上の場合にはディッシング(dishing)は避け得ないものである。また、多層配線構造の場合には、層間絶縁膜の平坦化を充分に行えない場合があり、この様な場合には、ディッシング(dishing)による配線層の断線が無視できないものとなる。

【0012】したがって、本発明は、研磨法により配線層或いはボンディングパッドを形成する際に、配線層或いはボンディングパッドにおける窪みの発生を防止し、それによって配線層の断線も防止することを目的とするものである。

【0013】

【課題を解決するための手段】本発明は、埋め込み導電性パターン(図1の16)の内部に周囲の層間絶縁膜と同じ高さで且つ同じ材質からなる非導電性領域(図1の8)が存在するように前記導電性パターン(図1の16)を設けた半導体装置に特徴を有するものである。

【0014】また、本発明は、半導体基体上に設けた絶縁層に、埋め込み導電性パターン(図1の16)の内部に非導電性領域(図1の8)が存在するように前記導電性パターン(図1の16)に対応する溝を形成し、前記溝を含めた全面に導電性膜を堆積させ、次いで、研磨法により前記溝部以外の領域の前記導電性膜を除去して前記埋め込み導電性パターン(図1の16)を形成することを特徴とするものである。

【0015】また、本発明は、上記埋め込み導電性パ

ーン(図1の16)を格子状導電性パターン或いは梯子状導電性パターンにすることも特徴とするものである。

【0016】

【作用】導電性パターンの内部領域に設けた非導電性領域が研磨の際にストップとして作用するので、溝内の金属膜が不所望に研磨されて窪み(ディッシング)が生ずることを防止するものである。

【0017】また、導電性パターンの内部領域に設けた非導電性領域が周囲の層間絶縁膜と同じ高さであるので、装置全体の平坦化が向上し、更に、導電性パターンを格子状導電性パターン或いは梯子状導電性パターンにすることにより、パターンの一部において断線が生じても全体としては導通が保たれるので、確実な内部接続が可能となる。

【0018】

【実施例】図1及び図2は、本発明の第1の実施例である埋め込み型ボンディングパッドの構造及びその製造方法を説明する図であり、図1(b)は図1(a)のA-A'に沿った断面図であり、また、図2(b)は図2(a)のA-A'に沿った断面図である。

【0019】図1参照

(1) 先ず、シリコン半導体基体1上に熱酸化膜2等の絶縁層を介して、プラズマCVD法によってTEOS-NSG膜(Tetra-Ethyl-Ortho-Silicate-Nondoped Silicate Glass)15を $0.5\mu\text{m}$ 堆積させたのち、埋め込み導電体パターンを形成する部分に対応する溝を形成する。なお、ソース・ドレイン領域のように、上記熱酸化膜2等の絶縁膜を形成せずに半導体基体1上に直接TEOS-NSG膜15を形成する部分があっても良いものである。

【0020】この場合は、ボンディングパッドであるので、図1(a)に示すように全体の大きさを $95\mu\text{m}\times 95\mu\text{m}$ とし、幅が $5\mu\text{m}$ 、格子間隔が $10\mu\text{m}$ 、深さが $0.5\mu\text{m}$ の格子状の溝をTEOS-NSG膜15に形成する。

【0021】(2) 次いで、全面にTiN膜(図示せず)を $0.04\mu\text{m}$ 堆積し、続いてCVD法により埋め込み導電性膜となるCuを $0.6\mu\text{m}$ 堆積させたのち、XGB6861(商品名:RODELX製研磨剤)と H_2O_2 とを1:1で混合した液を用いて研磨することにより、溝領域以外のCuを研磨により除去して埋め込みCu層16を形成する。なお、この場合、TiN膜はTEOS-NSG膜15、即ち、シリコン酸化膜とCuとの密着性が悪いので、両者の密着性を改善するために挿入するものである。

【0022】図2参照

(3) 次いで、プラズマCVD法によりカバー膜としてのSiN膜17を $0.1\mu\text{m}$ 堆積させ、続いて同じくプラズマCVD法により第2のTEOS-NSG膜18を

0.5 μm 堆積させたのち、深さ0.6 μm 、径0.3 μm のプラグ (plug) 9 形成用のホールをエッチングにより形成する。

【0023】なお、この場合、SiN膜17は、CuはH₂Oと接すると酸化されやすいので、外部及びTEOS-NSG膜18からの水分の進入を防ぐために設けるものであり、また、プラグ9は、図2(a)に示すように上部配線層とボンディングパッドとを接続するためのものであり、格子状パッドの格子の交点に設ける。

【0024】(4) 次いで、TiN膜 (図示せず) を 10 0.02 μm 堆積させ、続いてプラグ形成用金属であるWをCVD法により0.5 μm 堆積したのち、XGB5*

*518 (商品名: RODEL X製研磨剤) とH₂O₂ を1:1で混合した液を用いて研磨することによりホール領域以外の領域のWを研磨により除去してWプラグ9を形成する。なお、この場合、ホールの径は0.3 μm と狭いので、0.5 μm のWを堆積させても0.6 μm の深さの溝を十分に埋め込むことが可能である。

【0025】表1は、本発明の第1の実施例と、50 μm × 50 μm で深さ0.5 μm のパッド領域全体を金属としたままの試料を同じ研磨法で研磨したもの (従来例1) とを比較したものである。

【0026】

【表1】

	just polish 平均値± σ	10% over polish 平均値± σ	10% over polish 平均値± σ
第1の 実施例	0.03±0.02 μm	0.04±0.03 μm	0.05±0.04 μm
従来例1	0.20±0.14 μm	0.34±0.13 μm	0.41±0.13 μm

【0027】この場合に、ウェハ全面にわたって溝部以外の領域の金属 (Cu) が除去された時間、即ち、ジャスト研磨 (just polish) された時間をジャスト時間 (just 時間) として、just polish、そのジャスト時間より10%多い時間研磨した10% over polish、及び、30%多い時間研磨した30% over polishした場合の窪みの深さ、即ち、ディッシング量 (dishing 量) を比較した。なお、試料数は、各々30枚用意し、10枚を just polish し、10枚を10% over polish し、10枚を30% over polish した。

【0028】表1から分かるように、本発明の第1の実施例においては、30% over polish した場合にも、dishing 量は埋め込み導電性膜の厚さの10%程度であり、多少研磨時間が超過しても溝内から導電性膜がなくなることはないが、従来例1においては30% over polish した場合にはdishing 量は埋め込み導電性膜の厚さの略100%程度となり、パッドの中央部においては導電性膜がなくなり上部配線層とのコンタクトがとれなくなる可能性が大きくなる。したがって、本発明により半導体装置を製造した場合には、信頼性及び製造歩留りが大幅に向上する。

【0029】なお、上記の第1の実施例においては、ボンディングパッド部しか示していないものの、ボンディングパッド部と同準位の配線層も同じ工程で形成するものであり、また、実施例における各数値は、それに限られるものではなく、例えば、TEOS-NSG膜の厚さは0.3~0.6 μm 、TiNの厚さは0.03~0.05 μm 、Cu層の厚さは0.4~0.8 μm 、SiN 50

の厚さは0.08~0.20 μm 、SiN上に形成する第2のTEOS-NSG膜の厚さは0.4~1.0 μm 、ホールの径は0.3~0.5 μm 、W層の厚さは0.3~0.7 μm の範囲であれば良く、それぞれ、必要とする溝の深さに応じて適当な値を採用すれば良いものである。

【0030】また、研磨剤とH₂O₂ との比も、どちらの研磨剤の場合もXGB (研磨剤) : H₂O₂ = 1 : 0.2~1:2の範囲であれば良い。

【0031】また、図3は、本発明の第2の実施例である埋め込み型配線層の構造を説明する図であり、このような構造を形成するために、第1の実施例と同様の工程を採用する。まず、凹凸のある半導体基体1上にECR (電子サイクロトロン共鳴) 法を用いてSiO₂ を0.2 μm 堆積したのち、SOG (スピニングガラス) であるBLQ (商品名: 触媒化成工業製) を0.2 μm 堆積して表面を平坦化する。なお、ECRSiO₂ はBLQ (商品名) を処理する際に、水分がシリコン半導体基体1に進入するのを防ぐためのものである。

【0032】次いで、半導体基体1の能動領域に対するコンタクトホール (図示せず) 及び内部配線層としての全体の幅が2 μm で、深さが0.4 μm の梯子状パターンの溝を形成し、第1の実施例と同様にTiN膜を0.02 μm 堆積させたのち、WをCVD法によって0.4 μm 堆積させ、最後に、XGB5518 (商品名) とH₂O₂ を1:1で混合した液を用いて研磨することによりコンタクトホール及び内部配線用の溝部以外の領域のWを除去して埋め込み導電性パターン (配線層) 6を形成する。

【0033】表2は、本発明の第2の実施例と、幅2 μ

mの配線を梯子状にせずに太い配線のままにした試料を同じ研磨法で研磨したもの（従来例2）とを比較したものである。この場合も、表1における比較と同様に、ウェハ全面にわたって溝部以外の領域の金属（W）が除去された時間、即ち、ジャスト研磨（just polish）された時間をジャスト時間（just時間）とし*

*て、just polish、10% over polish、及び、30% over polishした場合の窪みの深さ、即ち、ディッシング量（dishing量）を比較したものである。

【0034】

【表2】

	just polish 平均値±σ	10% over polish 平均値±σ	10% over polish 平均値±σ
第2の実施例	0.04±0.02μm	0.04±0.03μm	0.05±0.04μm
従来例2	0.24±0.06μm	0.28±0.08μm	0.30±0.09μm

【0035】一般に、凸部の肩部で研磨圧が高くなり研磨速度が大きくなるため、この凸部の肩部におけるdishing量が最も大きくなり、配線層の断線が発生しやすい。したがって、この表2の比較においては、図3(b)の肩部10のdishing量を測定したものであり、試料数は、各々30枚用意し、10枚をjust polishし、10枚を10% over polishし、10枚を30% over polishした。

【0036】表2から分かるように、本発明の第2の実施例においては、30% over polishした場合にも、dishing量は配線層の厚さの10%程度であり、多少研磨時間が超過しても断線が生ずる心配はないが、従来例2の場合には30% over polishした場合にはdishing量は配線層の厚さ（0.4μm）の略100%程度となり、断線の可能性が非常に大きくなる。したがって、本発明により半導体装置を製造した場合には、信頼性及び製造歩留りが大幅に向上する。

【0037】上述した第2の実施例においては、配線層しか示していないものの、コンタクトホールも同時に形成するものであり、また、実施例における各数値は、それに限られるものではなく、例えば、ECRSiO₂膜の厚さは0.15～0.40μm、BLQ膜の厚さは0.15～0.40μm、TiN膜の厚さは0.015～0.03μm、W層の厚さは0.3～1.0μmの範囲であれば良く、この場合も、それぞれ、必要とする溝の深さに応じて適当な値を採用すれば良いものである。また、研磨剤とH₂O₂との比も、どちらの研磨剤の場合もXGB（研磨剤）：H₂O₂=1：0.2～1：2の範囲であれば良い。

【0038】また、図4は、本発明の埋め込み型配線層の構造に関する他の実施例を示すもので、図4(a)は第3の実施例で、配線層を格子状にしたものであり、図4(b)は第4の実施例で、配線層の中央部を除いたり抜き状配線構造にしたものである。その他、いろいろな変形が考えられるが、要するに配線層の外部輪郭を形

成する線の中に周囲の層間絶縁膜の表面と同じ高さで且つ金属の存在しない非導電性領域8を設けて、この非導電性領域8が研磨の際のストップとして使用できる構造ならばどのようなものでも良いものである。

【0039】さらに、上記実施例においては、シリコン半導体装置について説明しているものの、本発明は、GaAs等の他の半導体装置をも対象とするものであり、また、埋め込み導電性膜としても、例示されているW或いはCu以外のもの、例えば、Al、アルミニウム合金、或いは、Mo、Ti等の高融点金属を用いても良い。

【0040】

【発明の効果】本発明によれば、埋め込み導電性パターンの内部に非導電性領域が存在するように前記導電性パターン用溝を形成し、研磨法を用いて導電性部材を溝内に埋め込むので、導電性部材として選択エッチングが困難な材料、或いは、適当なエッチング手段がない材料を用いても全体として断線のないボンディングパッド或いは全体として断線のない微細な内部配線層を形成することが可能になり、信頼性の高い半導体装置を歩留り良く製造することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例である格子状埋め込み型ボンディングパッドの構造及び製造工程を説明する図である。

【図2】本発明の第1の実施例である格子状埋め込み型ボンディングパッド上にプラグを設けた場合の構造及び製造工程を説明する図である。

【図3】本発明の第2の実施例である埋め込み型配線層の構造及び製造工程を説明する図である。

【図4】本発明の第3及び第4の実施例である他の埋め込み型配線層の構造を示す図である。

【図5】従来のフォトリソグラフィ工程による配線層の形成に伴う問題点を説明する図である。

【図6】従来の研磨法による埋め込み配線層の形成工程を説明する図である。

【図7】従来の研磨法により埋め込み配線層を形成した場合の問題点を説明する図である。

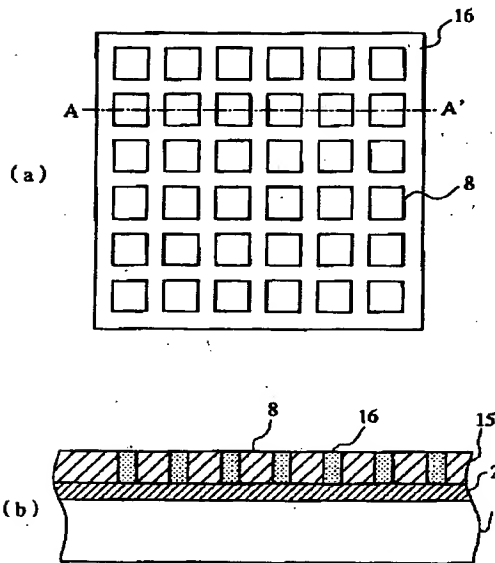
【符号の説明】

- 1 シリコン半導体基体
- 2 熱酸化膜
- 3 絶縁膜
- 4 溝
- 5 導電性膜
- 6 埋め込み導電性パターン
- 7 窪み (dishing)
- 8 非導電性領域

- 9 Wプラグ
- 10 肩部
- 11 W配線層
- 12 コンタクトホール
- 13 ソース・ドレイン領域
- 14 第1層目の配線層
- 15 TEOS-NSG膜
- 16 埋め込みCu層
- 17 SiN膜
- 10 18 第2のTEOS-NSG膜

【図1】

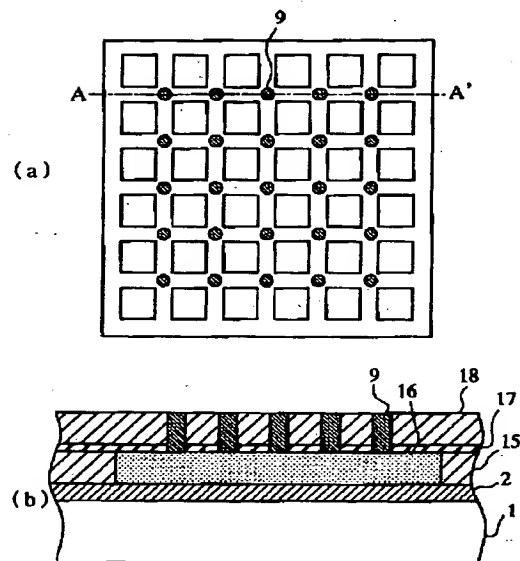
本発明の第1の実施例である
格子状埋め込み型ボンディングパッドの
構造及び製造工程を説明する図



- 1: シリコン半導体基体
- 2: 熱酸化膜
- 8: 非導電性領域
- 15: TEOS-NSG膜
- 16: 埋め込みCu層

【図2】

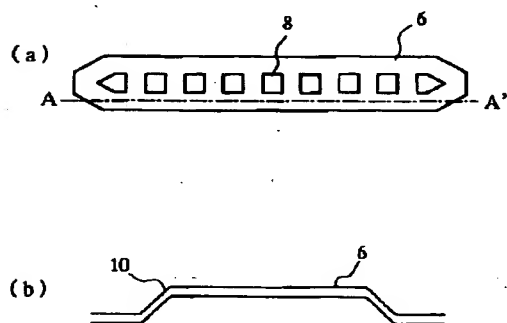
本発明の第1の実施例である
格子状埋め込み型ボンディングパッド上の
プラグの構造及び製造工程を説明する図



- 1: シリコン半導体基体
- 2: 熱酸化膜
- 9: Wプラグ
- 15: TEOS-NSG膜
- 16: 埋め込みCu層
- 17: SiN膜
- 18: 第2のTEOS-NSG膜

【図3】

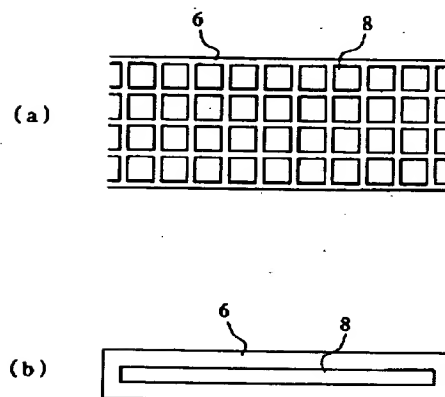
本発明の第2の実施例である埋め込み型配線層の構造及び製造工程を説明する図



6: 埋め込み導電性パターン
8: 非導電性領域
10: 肩部

【図4】

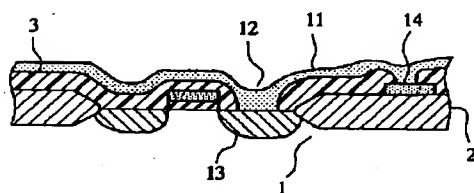
本発明の第3及び第4の実施例である埋め込み型配線層の構造を示す図



6: 埋め込み導電性パターン
8: 非導電性領域

【図5】

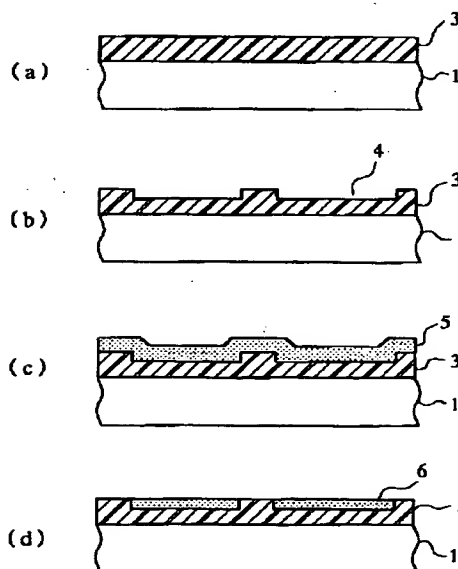
従来のフォトリソグラフィ工程による配線層の形成に伴う問題点を説明する図



1: シリコン半導体基体
2: 熱酸化膜
3: 絶縁膜
11: W配線層
12: コンタクトホール
13: ソース・ドレイン領域
14: 第1層目の配線層

【図6】

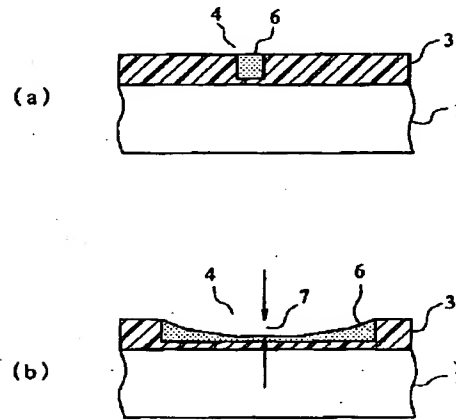
従来の研磨法による配線層の形成工程を説明する図



1: シリコン半導体基体
3: 絶縁膜
4: 溝
5: 導電性膜
6: 埋め込み導電性パターン

【図7】

従来の研磨法により埋め込み配線層を
形成した場合の問題点を説明する図



1: シリコン半導体基体 6: 埋め込み導電性パターン
3: 絶縁膜 7: 窪み (dishing)
4: 溝

フロントページの続き

(51) Int. Cl. 6	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/318		M		
21/60	3 0 1	N		

(72) 発明者 大倉 嘉之
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 原田 秀樹
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 今野 靖彦
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 今井 雅彦
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 13 年 12 月 14 日 (2001. 12. 14)

【公開番号】特開平 8-45933
 【公開日】平成 8 年 2 月 16 日 (1996. 2. 16)
 【年通号数】公開特許公報 8-460
 【出願番号】特願平 6-181014
 【国際特許分類第 7 版】

H01L 21/3205
 21/304 321
 21/316
 21/318
 21/60 301

【F I】
 H01L 21/88 K
 21/304 321 S
 21/316 M
 21/318 M
 21/60 301 N
 21/88 T

【手続補正書】

【提出日】平成 13 年 5 月 31 日 (2001. 5. 31)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】 埋め込み導電性パターンの内部の周囲に層間絶縁膜と同じ高さで且つ同じ材質からなる非導電性領域が存在するように前記導電性パターンを設けたことを特徴とする半導体装置。

【請求項 2】 半導体基板上に形成された層間絶縁膜と、前記層間絶縁膜に形成された導電性膜を埋め込む溝と、前記溝内に形成された前記導電性膜を埋め込む際の研磨のストップとなる非導電性領域と、前記溝内に埋め込まれた導電性パターンとを有することを特徴とする半導体装置。

【請求項 3】 上記導電性パターンがボンディングパッド又は内部配線層であることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 上記導電性パターンが格子状導電性パターンであることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】 上記格子状導電性パターンの交点上に上層配線層とコンタクトを取る導電性プラグを設けたこと

を特徴とする請求項 4 記載の半導体装置。

【請求項 6】 上記格子状導電性パターンの格子の幅が上記導電性プラグの径よりも大きいことを特徴とする請求項 5 記載の半導体装置。

【請求項 7】 上記導電性パターンが梯子状導電性パターンであることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。

【請求項 8】 上記導電性パターンが Cu からなることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】 半導体基体上に設けた絶縁層に、埋め込み導電性パターンの内部に非導電性領域が存在するように前記導電性パターンに対応する溝を形成し、前記溝を含めた全面に導電性膜を堆積させ、次いで、研磨法により前記溝部以外の領域の前記導電性膜を除去して前記埋め込み導電性パターンを形成することを特徴とする半導体装置の製造方法。

【請求項 10】 上記導電性パターンがボンディングパッド又は内部配線層であることを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 11】 上記導電性パターンが格子状導電性パターン又は梯子状導電性パターンであることを特徴とする請求項 9 または 10 に記載の半導体装置の製造方法。

【請求項 12】 上記導電性パターンが Cu からなることを特徴とする請求項 9 乃至 11 のいずれか 1 項に記載の半導体装置の製造方法。

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-045933

(43)Date of publication of application : 16.02.1996

(51)Int.Cl.

H01L 21/3205
H01L 21/304
H01L 21/316
H01L 21/318
H01L 21/60

(21)Application number : 06-181014

(71)Applicant : FUJITSU LTD

(22)Date of filing : 02.08.1994

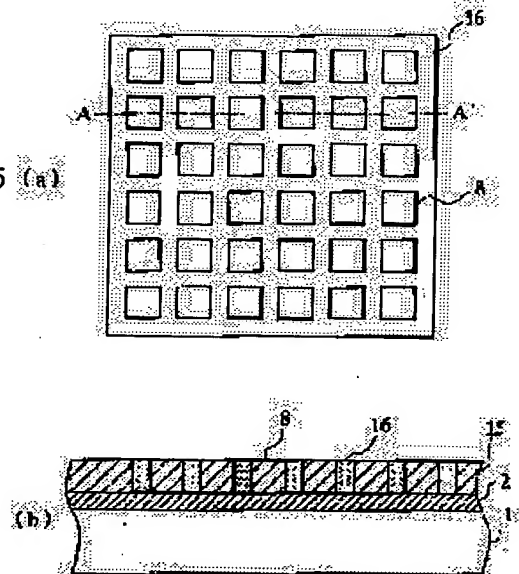
(72)Inventor : KISHII SADAHIRO
HOSHINO MASATAKA
MISAWA NOBUHIRO
OKURA YOSHIYUKI
HARADA HIDEKI
KONNO YASUHIKO
IMAI MASAHIKO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To prevent recesses from occurring in a buried wiring layer or a buried bonding pad when a conductive film is buried in a groove through a polishing method so as to protect the conductive film against disconnection.

CONSTITUTION: Grooves are cut in an insulating film 15 provided onto a silicon semiconductor substrate 1 corresponding to a conductive pattern 16 so as to enable a non-conductive region 8 to be located inside the buried conductive pattern 16, a conductive film is deposited on all the surface including the grooves, and then the conductive film is removed off excluding the grooves through a polishing method for the formation of the buried conductive pattern 16.



LEGAL STATUS

[Date of request for examination]

31.05.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3396790

[Date of registration]

14.02.2003

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

- [Claim 1] The semiconductor device characterized by preparing the aforementioned conductive pattern so that the non-conducting field which is the height same to the circumference inside an embedding conductivity pattern as a layer insulation film, and consists of the same quality of the material may exist.
- [Claim 2] The semiconductor device according to claim 1 characterized by the above-mentioned conductive pattern being a bonding pad.
- [Claim 3] The semiconductor device according to claim 1 or 2 characterized by the above-mentioned conductive pattern being a grid-like conductivity pattern.
- [Claim 4] The semiconductor device according to claim 3 characterized by preparing the upper wiring layer and the conductive plug which takes contact on the intersection of the above-mentioned grid-like conductivity pattern.
- [Claim 5] The semiconductor device according to claim 4 characterized by the width of face of the grid of the above-mentioned grid-like conductivity pattern being larger than the path of the above-mentioned conductive plug.
- [Claim 6] A semiconductor device given in the claim 2 to which the above-mentioned conductive pattern is characterized by the bird clapper from Cu, or any 1 term of 5.
- [Claim 7] The semiconductor device according to claim 1 characterized by the above-mentioned conductive pattern being an internal wiring layer.
- [Claim 8] The semiconductor device according to claim 7 characterized by the above-mentioned conductive pattern being a ladder-like conductivity pattern.
- [Claim 9] The manufacture method of the semiconductor device characterized by to form the slot corresponding to the aforementioned conductive pattern so that a non-conducting field may exist in the interior of an embedding conductivity pattern, to make the insulating layer prepared on the semiconductor base deposit a conductive film on the whole surface including the aforementioned slot, to remove the aforementioned conductive film of fields other than the aforementioned slot to it by the grinding method subsequently, and to form the aforementioned embedding conductivity pattern in it.
- [Claim 10] The manufacture method of the semiconductor device according to claim 9 characterized by the above-mentioned conductive pattern being a bonding pad.
- [Claim 11] The manufacture method of a semiconductor device according to claim 10 that the above-mentioned conductive pattern is characterized by the bird clapper from Cu.
- [Claim 12] The manufacture method of the semiconductor device according to claim 9 characterized by the above-mentioned conductive pattern being an internal wiring layer.
- [Claim 13] The manufacture method of a semiconductor device given in the claim 9 characterized by the above-mentioned conductive pattern being a grid-like conductivity pattern, or any 1 term of 12.
- [Claim 14] The manufacture method of the semiconductor device according to claim 12 characterized by the above-mentioned conductive pattern being a ladder-like conductivity pattern.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the semiconductor device which has the internal wiring layer or bonding pad especially embedded by the grinding method, and its manufacture method about a semiconductor device and its manufacture method.

[0002]

[Description of the Prior Art] When an internal wiring layer or a bonding pad is formed conventionally, after making W, aluminum, or aluminium alloys (aluminum-Cu-Ti, aluminum-Cu-Si, etc.) deposit on a semiconductor base or the insulator layer on it, according to the photo lithography process, patterning was carried out and it formed.

[0003] Drawing 5 is what shows the patterning process of the wiring layer in the manufacturing process of the conventional MOSFET. In case the contact (connection) to the source drain field 13 and the 1st wiring layer 14 is taken through a contact hole 12 by the W (tungsten) wiring layer 11. Since the ratio of the etch rate of W and the etch rate of Si which is the semiconductor base 1 large enough was not able to be taken, the active region of the source drain field 13 grade to which Si will not ***** in the case of patterning of the W wiring layer 11, either might be destroyed.

[0004] Moreover, since aluminum or the rate of a light reflex of an aluminium alloy was high when forming a wiring layer using aluminum or an aluminium alloy, at the time of the exposure in a patterning process, reflection [**** / un-] arose and micro processing was difficult. Furthermore, since electromigration-proof (electro-migration) nature was good, although it was promising as a future wiring material, since the suitable etching gas to Cu did not exist in present, the parenchyma top was impossible [resistivity of Cu (copper) was lower than aluminum or the aluminium alloy, and] for patterning by the conventional photo lithography process.

[0005] In order to solve these troubles recently, formation of the embedding wiring layer by the grinding method is proposed. Drawing 6 is drawing explaining the formation process of the wiring layer by this grinding method.

[0006] refer to drawing 6 (a) (1) — first — the silicon semiconductor base 1 top — SiO₂ etc. — an insulator layer 3 is formed

Refer to drawing 6 (b) (2). Subsequently it forms in an insulator layer 3 by using the field equivalent to wiring as a slot 4 according to the usual photo lithography process.

[0007] Refer to drawing 6 (c) (3). Subsequently to the whole surface, the conductive films 5, such as W, aluminum, or an aluminium alloy, are made to deposit.

The embedding conductivity pattern 6 embedded in the slot 4 at the drawing 6 (d) reference (4) last by removing conductive films 5 other than the inside of a slot 4 by grinding is formed.

[0008] *****ing, when such a grinding method is used — SiO₂ etc. — since it is an insulator layer — SiO₂ etc. — since the sufficiently large ratio of the etch rate of an insulator layer and the etch rate of Si can be taken, active regions, such as a source drain field, cannot be destroyed in the case of etching, and a reliable semiconductor device can be manufactured

[0009] moreover, SiO₂ etc. — it also enables an insulator layer 3 to use Cu in which suitable etching gas does not exist as a wiring material or a bonding pad material, since reflection

[**** / un-] does not arise in the case of exposure, the reflection factor is small compared with metals, such as aluminum, and it does not need / micro processing becomes possible and / still more nearly special etching gas

[0010]

[Problem(s) to be Solved by the Invention] However, as shown in drawing 7 , when it embeds using such a grinding method and the conductive pattern 6 is formed, although there is no problem in a narrow case, as are shown in drawing 7 (a), and a slot shows drawing 7 (b) The area of a metal field like a thick wiring layer or a bonding pad in time, with later There is a fault which becomes depressed in a wiring layer or the center section of the bonding pad (the so-called dishing), and 7 produces, and especially this dishing (dishing) causes an open circuit of a wiring layer, when irregularity is in a ground.

[0011] And the line breadth of an actual wiring layer is 0.35 micrometers – 100 micrometers, and the size of a bonding pad is 50micrometerx50micrometer–150micrometerx150micrometer, and dishing (dishing) cannot be avoided when line breadth is 1 micrometers or more. Moreover, in the case of multilayer–interconnection structure, flattening of a layer insulation film may fully be unable to be performed, in such a case an open circuit of the wiring layer by dishing (dishing) cannot be disregarded to it.

[0012] Therefore, in case this invention forms a wiring layer or a bonding pad by the grinding method, it aims at preventing generating of the hollow in a wiring layer or a bonding pad, and preventing an open circuit of a wiring layer by it.

[0013]

[Means for Solving the Problem] the height as a surrounding layer insulation film with this invention same inside an embedding conductivity pattern (16 of drawing 1) — and it has the feature for the semiconductor measure which prepared the aforementioned conductive pattern (16 of drawing 1 .) so that the non-conducting field (8 of drawing 1) which consists of the same quality of the material might exist

[0014] Moreover, this invention forms the slot corresponding to the aforementioned conductive pattern (16 of drawing 1) in the insulating layer prepared on the semiconductor base so that a non-conducting field (8 of drawing 1) may exist in the interior of an embedding conductivity pattern (16 of drawing 1). It is characterized by making a conductive film deposit on the whole surface including the aforementioned slot, removing the aforementioned conductive film of fields other than the aforementioned slot by the grinding method subsequently, and forming the aforementioned embedding conductivity pattern (16 of drawing 1).

[0015] Moreover, this invention is characterized also by using the above-mentioned embedding conductivity pattern (16 of drawing 1) as a grid-like conductivity pattern or a ladder-like conductivity pattern.

[0016]

[Function] Since it acts as a stopper in case the non-conducting field established in the internal field of a conductive pattern is polished, it prevents that Mizouchi's metal membrane is ground by un-wanting and a hollow (dishing) is generated.

[0017] Moreover, since a flow is maintained as the whole even if an open circuit arises in some patterns by flattening of the whole equipment improving and using a conductive pattern as a grid-like conductivity pattern or a ladder-like conductivity pattern further, since the non-conducting field established in the internal field of a conductive pattern is the same height as a surrounding layer insulation film, positive internal connection is attained.

[0018]

[Example] Drawing 1 and drawing 2 are drawings explaining the structure and its manufacture method of the embedding type bonding pad which is the 1st example of this invention, and drawing 1 (b) is a cross section in alignment with A-A' of drawing 1 (a), and drawing 2 (b) is a cross section in alignment with A-A' of drawing 2 (a).

[0019] Refer to drawing 1 (1). First, after making 0.5 micrometers (Tetra-Ethyl-Ortho-Silicate-Nondoped Silicate Glass) of TEOS-NSG films 15 deposit by the plasma CVD method through the insulating layer of thermal oxidation film 2 grade on the silicon semiconductor base 1, the slot corresponding to the portion which forms an embedding conductor pattern is formed. In addition,

there may be a portion which forms the direct TEOS-NSG film 15 on the semiconductor base 1 like a source drain field, without forming the insulator layer of the above-mentioned thermal oxidation film 2 grade.

[0020] In this case, since it is a bonding pad, as shown in drawing 1 (a), the whole size is set to 95micrometerx95micrometer, and width of face forms in the TEOS-NSG film 15 the grid-like slot 10 micrometers and whose depth 5 micrometers and a lattice spacing are 0.5 micrometers.

[0021] (2) Subsequently, XGB 6861 (tradename : abrasive material made from RODELX), and H₂O₂ after depositing 0.04 micrometers (not shown) of TiN films on the whole surface and making 0.6 micrometers of Cu(s) which embed by CVD continuously and serve as a conductive film deposit By grinding using the liquid mixed by 1:1, polish removes Cu(s) other than a slot field, they are embedded, and the Cu layer 16 is formed. In addition, it inserts in order to improve both adhesion in this case, since a TiN film has bad adhesion with the TEOS-NSG film 15, i.e., a silicon oxide, and Cu.

[0022] Refer to drawing 2 (3). After making 0.1 micrometers of SiN films 17 as a covering film deposit by the plasma CVD method and making 0.5 micrometers of 2nd TEOS-NSG film 18 deposit by the plasma CVD method similarly continuously subsequently, the hole for plug (plug) 9 formation of a depth of 0.6 micrometers and 0.3 micrometers of diameters is formed by etching.

[0023] In addition, the SiN film 17 is formed in order to prevent penetration of the moisture from the exterior and the TEOS-NSG film 18, since it will be easy to oxidize if Cu touches H₂O in this case, and a plug 9 is for connecting an up wiring layer and a bonding pad, as shown in drawing 2 (a), and it prepares it in the intersection of the grid of a grid-like pad.

[0024] (4) subsequently, 0.02 micrometers (not shown) of TiN films are deposited — making — continuing — plug formation — public funds — XGB 5518 (tradename : abrasive material made from RODELX), and H₂O₂ after depositing 0.5 micrometers W which is a group by CVD By grinding using the liquid mixed by 1:1, polish removes W of fields other than a hole field, and the W plug 9 is formed. In addition, since the path of a hole is as narrow as 0.3 micrometers in this case, even if it makes 0.5 micrometers W deposit, it is possible to fully embed a slot with a depth of 0.6 micrometers.

[0025] Table 1 compares the 1st example of this invention with the thing (conventional example 1) which ground the sample [having used the whole pad field with a depth of 0.5 micrometers as a metal by 50micrometerx50micrometer] by the same grinding method.

[0026]

[Table 1]

	just polish 平均値±σ	10% over polish 平均値±σ	10% over polish 平均値±σ
第1の 実施例	0.03±0.02 μm	0.04±0.03 μm	0.05±0.04 μm
従来例1	0.20±0.14 μm	0.34±0.13 μm	0.41±0.13 μm

[0027] In this case, the time when the metal (Cu) of fields other than a slot was removed over the whole wafer surface, i.e., the time ground just (just polish), is just made into time (just time). just polish, more [just / 10%] of its 10%over(s) which carried out time polish than time polish and many [30%] 30%over(s) which carried out time polish It measured, the depth of dishing, i.e., amount, (amount of dishing(s)) of a hollow at the time of carrying out polish. In addition, 30 sheets are prepared respectively and the number of samples is just about ten sheets. polish is carried out and it is 10%over about ten sheets. polish is carried out and it is 30%over about ten sheets. polish was carried out.

[0028] As shown in Table 1, it sets in the 1st example of this invention. When it overpolish(es) 30%, the amount of dishing(s) is embedded and is about 10% of the thickness of a conductive film. Although a conductive film does not disappear from Mizouchi even if polish time exceeds some It sets for the conventional example 1 and is 30%over. When polish is carried out, the amount of

dishing(s) is embedded, and serves as about 100% of the abbreviation for the thickness of a conductive film, and possibility that a conductive film is lost in the center section of the pad, and it becomes impossible to take contact to an up wiring layer becomes large. Therefore, when a semiconductor device is manufactured by this invention, reliability and the manufacture yield improve sharply.

[0029] In addition, in the 1st above-mentioned example, although only the bonding pad section is shown Also form the wiring layer of the bonding pad section and this level at the same process, and each numeric value [in / an example] The thickness of for example, not the thing restricted to it but a TEOS-NSG film 0.3-0.6 micrometers, 0.03-0.05 micrometers and Cu layer thickness the thickness of TiN 0.4-0.8 micrometers, The thickness of the 2nd TEOS-NSG film which forms the thickness of SiN on 0.08-0.20 micrometers and SiN 0.4-1.0 micrometers, The path of a hole should just adopt a suitable value according to the depth of flute to need, respectively that what is necessary is for the range of 0.3-0.5 micrometers and the thickness of W layers just to be 0.3-0.7 micrometers.

[0030] Moreover, an abrasive material and H₂ O₂ Also for a ratio, the range of both of the cases of an abrasive material should just be XGB(abrasive material):H₂ O₂ =1:0.2-1:2.

[0031] Moreover, drawing 3 is drawing explaining the structure of the embedding type wiring layer which is the 2nd example of this invention, and in order to form such structure, the same process as the 1st example is used for it. First, the efficient consumer response (electron cyclotron resonance) method is used on the irregular semiconductor base 1, and it is SiO₂. After depositing 0.2 micrometers, 0.2 micrometers (tradename : product made from catalyst Chemicals industry) of BLQ(s) which are SOG (spin-on glass) are deposited, and flattening of the front face is carried out. In addition, ECRSiO₂ In case BLQ (tradename) is processed, it is for preventing moisture advancing into the silicon semiconductor base 1.

[0032] The width of face as [whole] the contact hole (not shown) to an active region and internal wiring layer of the semiconductor base 1 subsequently, by 2 micrometers After forming the slot of a ladder-like pattern whose depth is 0.4 micrometers and making 0.02 micrometers of TiN films deposit like the 1st example, 0.4 micrometers W is made to deposit by CVD, and it is XGB 5518 (tradename) andH₂O₂ to the last. By grinding using the liquid mixed by 1:1, W of fields other than a contact hole and the slot for internal wiring is removed and embedded, and the conductive pattern (wiring layer) 6 is formed.

[0033] Table 2 compares the 2nd example of this invention with the thing (conventional example 2) which ground the sample which left wiring with a width of face of 2 micrometers to thick wiring, without making it the shape of a ladder by the same grinding method. Also in this case, the time when the metal (W) of fields other than a slot was removed over the whole wafer surface, i.e., the time ground just (just polish), is just made into time (just time) like the comparison in Table 1. just polish, 10%over polish and 30%over It measures, the depth of dishing, i.e., amount, (amount of dishing(s)) of a hollow at the time of carrying out polish.

[0034]

[Table 2]

	just polish 平均値 ± σ	10% over polish 平均値 ± σ	10% over polish 平均値 ± σ
第2の 実施例	0.04 ± 0.02 μ m	0.04 ± 0.03 μ m	0.05 ± 0.04 μ m
従来例2	0.24 ± 0.06 μ m	0.28 ± 0.08 μ m	0.30 ± 0.09 μ m

[0035] Since a polishing pressure becomes high and polish speed generally becomes large by the shoulder of heights, the amount of dishing(s) in the shoulder of these heights becomes the largest, and it is easy to generate an open circuit of a wiring layer. Therefore, in comparison of this table 2, the amount of dishing(s) of the shoulder 10 of drawing 3 (b) is measured, the 30 numbers of samples are prepared respectively, and it is just about ten sheets. polish is carried

out and it is 10% over about ten sheets. polish is carried out and it is 30% over about ten sheets. polish was carried out.

[0036] As shown in Table 2, it sets in the 2nd example of this invention. When it overpolish(es) 30%, the amount of dishing(s) is about 10% of the thickness of a wiring layer. In the case of the conventional example 2, it is 30% over although there is no fear of an open circuit arising even if polish time exceeds some. When polish is carried out, the amount of dishing(s) serves as about 100% of the abbreviation for the thickness (0.4 micrometers) of a wiring layer, and the possibility of an open circuit becomes very large. Therefore, when a semiconductor device is manufactured by this invention, reliability and the manufacture yield improve sharply.

[0037] In the 2nd example mentioned above, although only the wiring layer is shown, also form a contact hole simultaneously and each numeric value [in / an example] Not the thing restricted to it but ECRSiO₂ Membranous thickness 0.15–0.40 micrometers, As for the thickness of 0.15–0.40 micrometers and a TiN film, 0.015–0.03 micrometers and the thickness of W layers should just adopt [the thickness of a BLQ film] a suitable value also in this case according to the depth of flute needed, respectively that what is necessary is just the range of 0.3–1.0 micrometers. Moreover, an abrasive material and H₂ O₂ Also for a ratio, the range of both of the cases of an abrasive material should just be XGB(abrasive material):H₂ O₂ =1:0.2–1:2.

[0038] Moreover, drawing 4 shows other examples about the structure of the embedding type wiring layer of this invention, drawing 4 (a) makes a wiring layer the shape of a grid, and it is the 3rd example and it makes [it is the 4th example and] drawing 4 (b) the Japanese common chestnut omission-like wiring structure except the center section of the wiring layer. In addition, what thing may be used, as long as it is the structure which forms the non-conducting field 8 where it is the height same in the line which, in short, forms the external profile of a wiring layer as the front face of a surrounding layer insulation film, and a metal does not exist, and can be used as a stopper at the time of this non-conducting field 8 being polish, although various deformation can be considered.

[0039] Furthermore, in the above-mentioned example, although the silicon semiconductor device is explained, refractory metals, such as things other than W illustrated also as an embedding conductivity film for other semiconductor devices, such as GaAs, or Cu, for example, aluminum, an aluminium alloy, or Mo, Ti, may be used for this invention.

[0040]

[Effect of the Invention] Since according to this invention the aforementioned slot for conductive patterns is formed so that a non-conducting field may exist in the interior of an embedding conductivity pattern, and a conductive member is embedded at Mizouchi using the grinding method material with selective etching difficult as a conductive member — or Even if it uses material without a suitable etching means, it becomes possible to form a detailed internal wiring layer without the bonding pad which does not have an open circuit as a whole, or an as a whole open circuit, and a reliable semiconductor device can be manufactured with the sufficient yield.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing explaining the structure and the manufacturing process of a grid-like embedding type bonding pad which are the 1st example of this invention.

[Drawing 2] It is drawing explaining the structure and the manufacturing process at the time of preparing a plug on the grid-like embedding type bonding pad which is the 1st example of this invention.

[Drawing 3] It is drawing explaining the structure and the manufacturing process of an embedding type wiring layer which are the 2nd example of this invention.

[Drawing 4] It is drawing showing the structure of other embedding type wiring layers which are the 3rd of this invention, and the 4th example.

[Drawing 5] It is drawing explaining the trouble accompanying formation of the wiring layer by the conventional photo lithography process.

[Drawing 6] It is drawing explaining the formation process of the embedding wiring layer by the conventional grinding method.

[Drawing 7] It is drawing explaining the trouble at the time of embedding by the conventional grinding method and forming a wiring layer.

[Description of Notations]

- 1 Silicon Semiconductor Base
- 2 Thermal Oxidation Film
- 3 Insulator Layer
- 4 Slot
- 5 Conductive Film
- 6 Embedding Conductivity Pattern
- 7 Hollow (Dishing)
- 8 Non-conducting Field
- 9 W Plug
- 10 Shoulder
- 11 W Wiring Layer
- 12 Contact Hole
- 13 Source Drain Field
- 14 Wiring Layer of 1st Layer
- 15 TEOS-NSG Film
- 16 Embedding Cu Layer
- 17 SiN Film
- 18 2nd TEOS-NSG Film

[Translation done.]